

22 MD

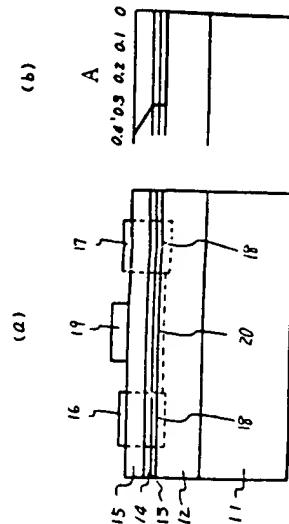
JA 0004085
JAN 1984

(54) SEMICONDUCTOR DEVICE

(11) 59-4085 (A) (43) 10.1.1984 (19) JP
 (21) Appl. No. 57-112839 (22) 30.6.1982
 (71) FUJITSU K.K. (72) SHIYUNICHI MUTOU(4)
 (51) Int. Cl. H01L29/80

PURPOSE: To reduce a leak current and to raise a gate voltage, by superposing n type $Al_xGa_{1-x}As$ on GaAs to form a heterojunction and by adjusting a composition ratio x to raise a potential barrier in the vicinity of a gate electrode.

CONSTITUTION: A non-added GaAs channel 12, $Al_xGa_{1-x}As$ and Si-added $Al_xGa_{1-x}As$ 14 and 15 are superposed on a half-insulating GaAs substrate 11. A composition ratio x is set at a fixed value of about 0.3 for the layers 13 and 14. The ratio of the layer 15 to the layer 14 is at the same value on the interface with the latter, and it increases gradually to $x=0.4$ on the surface. Electrodes 16 and 17 of AuGe/Au are attached for alloying, resistance connection layers 18 are provided on the channel 12, and an A gate electrode 19 is attached. A layer 20 is an electron storage layer. According to this constitution, the potential barrier on a contact interface between the gate electrode 19 and an electron supplying layer 15 is made larger than usual, and a leak current from the electrode 19 to the layer 15 is reduced. Thus, some margin can be left by setting a high gate voltage.

A: composition ratio x in $Al_xGa_{1-x}As$

12 - i GaAs

13 - i $Al_xGa_{1-x}As$ $x = .3$ 14 - n $Al_xGa_{1-x}As$ $x = .3$ 15 - graded $Al_xGa_{1-x}As$ $x = .3$ at interface
with 14 $x = .4$ at interface
with electrode 19

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭59—4085

⑯ Int. Cl.³
H 01 L 29/80

識別記号 庁内整理番号
7925-5F

⑯ 公開 昭和59年(1984)1月10日

発明の数 1
審査請求 未請求

(全 4 頁)

⑩半導体装置

⑪特 願 昭57-112839
⑫出 願 昭57(1982)6月30日
⑬發明者 武藤俊一
川崎市中原区上小田中1015番地
富士通株式会社内
⑭發明者 石川知則
川崎市中原区上小田中1015番地
富士通株式会社内
⑮發明者 冷水佐寿

川崎市中原区上小田中1015番地
富士通株式会社内
⑯發明者 南部和夫
川崎市中原区上小田中1015番地
富士通株式会社内
⑰發明者 西秀敏
川崎市中原区上小田中1015番地
富士通株式会社内
⑱出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑲代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

第1の半導体層と、該第1の半導体層より電子親和力が小であり、かつn型不純物を含む第2の半導体層とを有して、前記第1の半導体層と前記第2の半導体層とがヘテロ接合を形成し、前記第2の半導体層から前記第1の半導体層に遷移する電子によって構成される2次元電子層を電流路とする半導体装置であって、前記第2の半導体層を構成する元素の組成化がゲート電極近傍においてピルティングポテンシャルが高くなる如くされることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置に関し、特に本特許出願人が先に特願昭55-82035号により提案した半導体装置の改良に関するものである。

(b) 技術の背景

情報処理装置の能力及びコストパフォーマンスの一層の向上はこれに使用される半導体装置にかかっていると目され、論理演算装置の高速化、低消費電力化及び記憶装置の大容量化が強力に推進されている。

現在は専らシリコン(Si)半導体装置が実用化されているが、Si半導体装置の高速化はキャリアの移動度などのSiの物性により制約されるために、キャリア移動度がSiより遙かに大きいガリウム・砒素(GaAs)などの化合物半導体を用いて、高速化、低消費電力化を実現する努力が重ねられている。

従来の構造のSiもしくはGaAs等の化合物を用いた半導体装置においては、キャリアは不純物イオンが存在している空間を移動する。この移動に際してキャリアは格子振動および不純物イオンによって散乱を受けるが、格子振動による散乱の確率を小さくするために温度を低下させると、不純物イオンによる散乱の確率が大きくなつて、キャリアの移動度がこれによって制限される。

抗性接続（オーミックコンタクト）領域である。

以上説明した構造の半導体装置において、ゲート電極5は最も一般的にはアルミニウム（Al）によって構成されて、n型Al_xGa_{1-x}As層3との間にショットキバリアが形成されている。このn型Al_xGa_{1-x}As層3は、この層全体が必ずしもドナー不純物を含まず、GaAs層2とのヘテロエピタキシャル接合界面近傍がノンドープのバッファとされる場合がある。この場合を含めて、n型もしくはノンドープのAl_xGa_{1-x}As層3のAlの組成比Xは従来0.3程度であり、第1図(b)の各層に対応させて第1図(b)に例示する如く、Al_xGa_{1-x}As層全体を通じてAlの組成比Xが一定である構造が普通である。

これはAlの組成比Xを0.3程度より大きくするならば、(イ)ヘテロ接合における格子整合が悪化して接合界面に乱れを生じ易い。(ロ) Al_xGa_{1-x}As層中にAlに伴って酸素が混入し、キャリアのトラップとして作用する深いレ

この不純物散乱効果を排除するために不純物が添加される領域と、キャリアが移動する領域とを空間的に分離して、特に低温におけるキャリアの移動度を増大させたものが本発明の対象とする半導体装置である。

(d) 従来技術と問題点

半導体装置の従来知られている構造の一例を第1図(a)に示す断面図を参照して説明する。半絶縁性GaAs基板1上にノンドープGaAs層2とこれより電子親和力の小さいn型アルミニウム・ガリウム・砒素（Al_xGa_{1-x}As）層3とが設けられて、両層の界面はヘテロエピタキシャル接合を形成している。n型Al_xGa_{1-x}As層3（電子供給層という）からノンドープGaAs層2（チャネル層という）へ電子が遷移されることによって生成される電子蓄積層（2次元電子層）4の電子濃度を、ゲート電極5に印加される電圧によって制御することによって、ソース電極6とドレイン電極7との間の電子蓄積層4によって形成される伝導路のインピーダンスが制御される。なお8は抵

べルが形成されて結晶の電子的特性に悪影響を与える等の問題を生ずるためである。

しかしこのAlの組成比0.3程度のAl_xGa_{1-x}As層3上にゲート電極5が配設されている場合には、Al_xGa_{1-x}As層3とゲート電極界面でのビルディングボテンシャルが比較的低い為にゲート電極5からAl_xGa_{1-x}As層3へ流れるリーク電流を生じ、ゲート電極に印加する電圧に制限を受けてしまうという問題がある。

(e) 発明の目的

本発明は、ゲート電極に於けるリーク電流を低減し、ゲート電極に印加される電圧に余裕をもたせることが可能な半導体装置を提供するにある。

(f) 発明の構成

本発明の前記目的は、第1の半導体層と、該第1の半導体層より電子親和力が小であり、かつn型不純物を含む第2の半導体層とを有して、前記第1の半導体層と前記第2の半導体層とがヘテロ接合を形成し、前記第2の半導体層から前記第1

の半導体層に遷移する電子によって構成される2次元電子層を電流路とする半導体装置であつて、前記第2の半導体層を構成する元素の組成比がゲート電極近傍においてビルディングボテンシャルが高くなる如くされてなることにより達成される。

すなわち本発明は、従来2次元電子層の特性の最適化条件のみに従って構成されている前記例におけるAl_xGa_{1-x}As層について、2次元電子層の特性を支配するのはこのAl_xGa_{1-x}As層の不純物をドープされた領域のうちの僅少な部分、例えはヘテロ接合界面より厚さ6(nm)程度のノンドープ領域を介して濃度 $2 \times 10^{18} (\text{cm}^{-3})$ 程度の領域が形成されている場合に、2次元電子層の特性は、不純物をドープされた領域のうちノンドープ領域に隣接する厚さ3(nm)程度の部分のみによって支配される事実に基づいて、Al_xGa_{1-x}As層の前記部分よりヘテロ接合界面までの部分について電子供給層としての最適化条件、Al_xGa_{1-x}As層の残る表面側の部分について電極が形成されてこれと能動部とを接続する表面制御層とし

ての最適化条件に従って構成するものである。

混晶系化合物半導体の物性を制御するパラメータとしては混晶の組成比と、これにドープされる不純物濃度とが挙げられるが、本発明は混晶の組成比について前記のそれぞれ独立した最適化を実施するものである。

(1) 発明の実施例

以下本発明を実施例により図面を参照して具体的に説明する。

第2図(a)はGaAs及びAl_xGa_{1-x}Asを用いて構成された本発明の実施例の断面図、第2図(b)は本実施例におけるAlの組成比Xの分布例を第2図(a)の各層に対応させて示す図表である。本実施例の半導体装置は大略下記の如くに製造される。

半絶縁性のGaAs基板11上に分子線結晶成長法(Molecular Beam Epitaxy: 以下MBE法と略称する。)によって実質的に不純物を含有せず、厚さ1(μm)程度のGaAs層(チャネル層)12と、Al_xGa_{1-x}

As層の実質的に不純物を含有しない厚さ6(nm)程度の領域13、 2×10^{18} (cm⁻³)程度の濃度に例えればシリコン(Si)がドープされた厚さ3(nm)以上の領域14及び同一ドーピング濃度の厚さ50乃至100(nm)程度の領域15とを順次形成する。

本実施例においてAl_xGa_{1-x}As層のAlの組成比Xは、第1の不純物を含有しない領域13及び第2の不純物をドープした領域14についてはX=0.3程度の一定値であり、最後の不純物をドープした領域15については、前記領域14に接する端においては領域14に等しく、次第にXが増大すなわちAlの組成比が増大して、第2の半導体層の上面においてはX=0.4程度に到っている。

前記エピタキシャル成長層を形成した後に、金・ゲルマニウム(AuGe)/金(Au)層をソース電極16及びドレイン電極17を配設する位置に選択的に蒸着し、更に温度450(℃)時間3分間程度の熱処理を施してこれを合金化し、チ

ャネル層であるGaAs層12との抵抗性接続領域18を形成する。次いでゲート電極19を例えばアルミニウム(Al)を用いて従来技術によって形成する。なお20は電子蓄積層を示す。

以上説明した製造方法によって得られる本実施例の半導体装置のエネルギー帯を第3図に示す。ただし第3図においては第2図(b)と同一符号によって対応部分を示し、一点鎖線にて示したEfはフェルミ準位、実線にて示したEcは伝導帶、Evは価電子帯の従来技術によってAl_xGa_{1-x}As層全体についてAlの組成比Xが0.3程度一定値である場合を示し、領域15に示した破線は本発明の前記実施例において従来例と異なる状態を示す。

第3図より明らかな如く、本発明の構造においては、ゲート電極19とAl_xGa_{1-x}As層の領域15との接触界面におけるバリアの大きさが従来より増大し、ビルディングボテンシャルVbiが増大する為、ゲート電極19からAl_xGa_{1-x}As層の領域15へ流れるリーク電流を低

減でき、従来よりも高いゲート電圧を設定できる。

なお先に述べた如く、Al_xGa_{1-x}As層のAlの組成比Xを増加することは格子整合については不利な条件ではあるが、このことは、組成比Xの増加勾配の選択によって容易に解決することができ、酸素の混入によるキャリアのトラップの増加もMBE成長法の改良によってかなり改善できる。

なお、ソース及びドレイン電極をゲート電極とは異なる半導体面上に形成しても良い。

更に以上の説明はGaAs/Al_xGa_{1-x}Asを用いた半導体装置を例としたが、半導体装置は例えばガリウム・アンチモン(GaSb)とアルミニウム・ガリウム・アンチモン(Al_yGa_{1-y}Sb)との組合せ等によっても構成することが可能であって、この様なGaAs/Al_xGa_{1-x}As系以外の材料による半導体装置についても本発明を同様に適用することが可能である。

(2) 発明の効果

本発明によれば以上説明した如く、ゲート電極

域、19はゲート電極、20は電子蓄積層を示す。

代理人 弁理士 松岡 宏四郎



近傍での半導体層の元素の組成比をビルディングボテンシャルが高くなるように選択することにより、ゲート電極に於けるリーク電流を低減でき、ゲート電極に印加する電圧に余裕をもたせることができる。

4. 図面の簡単な説明

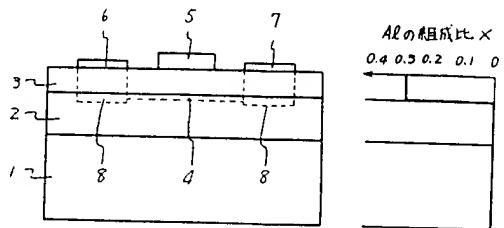
第1図(a)は従来例を示す断面図、第1図(b)はその各層のAlの組成比Xを示す図表、第2図(a)は本発明の実施例を示す断面図、第2図(b)はその各層のAlの組成比Xを示す図表、第3図はそのエネルギー帯を示す図表である。

図において1はGaAs基板、2はGaAs層、3はAl_xGa_{1-x}As層、4は電子蓄積層、5はゲート電極、6はソース電極、7はドレイン電極、8は抵抗性接続領域、11はGaAs基板、12はノン・ドープGaAs層、13はAl_xGa_{1-x}As層のノンドープ領域、14はAl_xGa_{1-x}As層の電子供給領域、15はAl_xGa_{1-x}As層の表面制御領域、16はソース電極、17はドレイン電極、18は抵抗性接続領

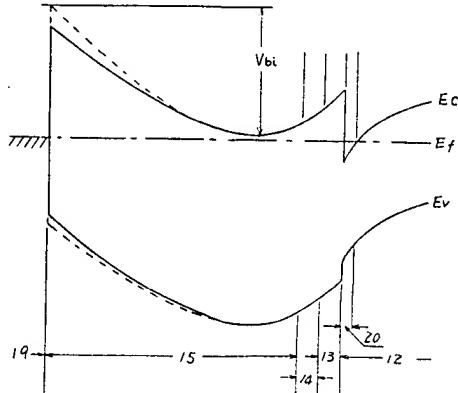
第1図

(a)

(b)



第3図



第2図

(a)

(b)

